

PAT-NO: JP63198884A

DOCUMENT-IDENTIFIER: JP 63198884 A

TITLE: TEST ASSISTING CIRCUIT

PUBN-DATE: August 17, 1988

INVENTOR-INFORMATION:

NAME

MAENO, HIDESHI

HANIBUCHI, TOSHIAKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

N/A

APPL-NO: JP62032098

APPL-DATE: February 13, 1987

INT-CL (IPC): G01R031/28, G06F011/22

ABSTRACT:

PURPOSE: To enable only a scan path which need to be put in shift operation to operate at the time of a test by supplying clocks to individual series-

connected scan paths independently.

CONSTITUTION: Scan paths 10 and 20 formed by connecting (n) stages and (m) stages are connected in series. Clocks are supplied to those scan paths 10 and 20 independently from clock input terminals 6a and 6b. For example, when a terminal 6b is held nonactive and only a terminal 6a is supplied with a clock, the (m)-stage scan path 20 keeps on holding data and the other path 10 shifts in optional (n)-bit data. Consequently, only a necessary scan path is put in operation at the time of the test, so data for the test are set and taken out of the scan path without any unnecessary shift operation and the test time is shortened.

COPYRIGHT: (C)1988,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-198884

⑫ Int.Cl.

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)8月17日

G 01 R 31/28
G 06 F 11/22

3 6 0

G-6912-2G
P-7368-5B

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 テスト補助回路

⑮ 特 願 昭62-32098

⑯ 出 願 昭62(1987)2月13日

⑰ 発 明 者 前 野 秀 史 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑱ 発 明 者 垣 洵 敏 明 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

テスト補助回路

2. 特許請求の範囲

(1) 被テスト回路とテスト用データの入出力を行うためのテスト用補助回路であって、

それぞれ1ビット以上のシフトレジスタからなり、パラレル入力とパラレル出力が1ビット以上可能な複数のスキャンパスがシフト方向に直列接続され、

該複数のスキャンパスにそれぞれ独立してシフトクロックを与えるためのクロック入力端子が設けられていることを特徴とするテスト補助回路。

(2) 前記スキャンパスに与えるシフトクロックは2相のクロックであることを特徴とする特許請求の範囲第1項記載のテスト補助回路。

(3) 前記2相のクロックのうち一方のクロックは各スキャンパスに共通に与えられ、他方のクロックは個々のスキャンパスに対して独立に与えられるものであることを特徴とする特許請求の範囲

第2項記載のテスト補助回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体装置のテスト容易化を実現するためのテスト補助回路に関するものである。

(従来の技術)

第3図は従来のスキャンパス方式のテスト補助回路である。図において、1はスキャンレジスタ、2はパラレル入力端子、3はパラレル出力端子、4はモード切換端子、5はシリアル入力端子、6はクロック入力端子、7はシリアル出力端子である。

次に動作について説明する。スキャンレジスタ1は複数個直列に接続されてシフトレジスタを構成している。即ち、第3図では $n+m$ 段のシフトレジスタになっている。このような状態において、モード切換端子4をシリアルシフトモードに設定する事により、クロック入力端子6にクロックが与えられる毎にシリアルシフトを行ない、シフト出力端子7にシフトアウトデータを出力すると

特開昭63-198884(2)

もにシリアル入力端子5からデータをシフトインする。

一方、モード切換端子4をパラレル入力モードに設定する事により、クロックが与えられる毎にパラレル入力端子2に与えられているデータをスキャンレジスタに取り込む。ここで、どちらのモードにおいてもスキャンレジスタの保持している値はパラレル出力端子3に出力されている。

スキャンバスは上記のような動作が行なえるので、シリアルシフトモードでテスト用のデータをシフトインし、このデータをパラレル出力端子3を通じて被テスト回路に加え、被テスト回路の応答をパラレル入力モードでスキャンレジスタに取り込み、この取込んだデータをシリアルシフトモードでシリアル出力端子7にシフトアウトすることができる。

このため、テスト信号を外部端子に引き出す方式に比べてテストに必要な端子数が少なくて済む。即ち第3図では、モード切換端子4、シリアル入力端子5、クロック入力端子6、シリアル出力端

子7の4端子で済み、半導体装置を安価に構成できるので、上述のようなスキャンバスはテスト補助回路として利用されている。

(発明が解決しようとする問題点)

しかるに、上記のような従来のテスト補助回路は、スキャンバス内のデータを全部同時にシフトするように構成されているので、第3図のn段のスキャンバスのデータを保持したままでn段のスキャンバスのデータだけを置換えてテストを行なうということができない。即ちこのようなテストを行なうには、まずm段のスキャンレジスタの保持しているデータと同じデータをシフトインし、次にnビットのデータをシフトインしなければならず、 $n+m$ 回のシフト動作が必要であった。このように従来方式では不要のシフト動作があるため、テスト時間の増大を招き半導体装置のテストコストを増大させるという問題があった。

この発明は上記のような問題点を解消するためになされたもので、不要なシフト動作を行わずにテスト用データをスキャンレジスタに設定でき、

その結果テスト時間を短縮し、安価な半導体装置を得ることのできるテスト補助回路を得ることを目的とする。

(問題点を解決するための手段)

この発明に係るテスト補助回路は、従来のスキャンバスを、複数個のスキャンバスが直列に接続された構成に分割し、その個々のスキャンバスに対して独立にクロックを与えることができるようにしたものである。

(作用)

この発明におけるテスト補助回路は、直列に接続された個々のスキャンバスに対して独立にクロックを与えることができるので、テスト時にシフト動作の不要なスキャンバスを動作させずに、シフト動作の必要なスキャンバスのみを動作させることができる。

(実施例)

以下、この発明の一実施例を図について説明する。第1図において、1はスキャンレジスタ、2はパラレル入力端子、3はパラレル出力端子、4

はモード切換端子、5はシリアル入力端子、6a、6bはクロック入力端子、7はシリアル出力端子である。

また第4図は第1図の回路を被テスト回路網に適用した図であり、10a、10b、10cは被テスト回路ブロック、11a、11b、11cは入力信号端子、12a、12bは出力信号端子である。また13、14はそれぞれ被テスト回路10cから10bへの、被テスト回路10bから10aへの信号接続配線である。

次に動作について説明する。第1図の回路は、従来の第3図の回路のスキャンバスをn段とm段のスキャンバスが直列に接続された構成とし、その個々のスキャンバスに対して独立にクロックを与えることができるようにしたものである。従ってクロック入力端子6a、6bに同一のクロックを供給すれば、従来の第3図の回路と同じ動作を行なうことができる。また、クロック入力端子6bをアクティブでない状態にしておけば、m段のスキャンバスはデータを保持しつづけることがで

特開昭63-198884(3)

き、 n 段のスキャンバスに対してはクロック入力端子6aを用いて任意の n ビットのデータをシフトインすることができる。つまり、 m 段のスキャンバスのデータを保持したままで n 段のスキャンバスのデータだけを置換えてテストを行なう場合、従来は $n+m$ 回のシフト動作が必要であったが、本実施例では n 回のシフト動作のみで済む。特に $n < m$ の場合にこの効果が大きい。

この構成が特に有効な場合の一例は第4図で示される。第4図において被テスト回路でブロック10bだけのテストを行なう場合、ブロック10cから10bへの信号13を変化させない条件であったとする。この場合では m 段のシフトレジスタの内容は信号13に影響するために変化させてはならず、 n 段シフトレジスタの内容だけを変えなければならない。このような場合、本実施例によるスキャンバスはクロックを分離しているため、容易に実現できる。

また本実施例による構成ではシフトアウト端子7に接続されている m 段のシフトレジスタの内容

だけをシフトアウトする場合にも有効である。この一例も第4図で示される。同図において被テスト回路ブロック10aだけのテストを行なう場合、ブロック10bから10aへの信号14を変化させない条件であったとする。この場合では n 段のシフトレジスタの内容は信号14に影響するため変化させてはならず、 m 段のシフトレジスタ内にあるテスト結果データだけをシフトアウトする必要がある。本実施例による構成では、 m 段のシフトレジスタだけにクロックを与えることによって、この機能を簡単に実現することができる。このシフトアウト動作の分離は $n > m$ の場合に特に効果が大きい。

以上の説明で示すようにスキャンバスに与えるシフトクロックを分割することにより余分なシフト動作が省けるため、テスト時間を短縮することができる。

なお、第1図の実施例では単相のクロックで動作するスキャンバスを示したが、2相クロックで動作するスキャンバスを用いても上記実施例と同

様の効果がある。また、2相クロックで動作するスキャンバスを用いる場合、第2図に示すように、一方のクロック（端子6）は共通に接続し、他方のクロックのみ個々のスキャンバスについて独立に与えられるようにすれば（端子8a、8b）同様の効果が得られる。この理由は第5図において説明できる。即ち第5図において、21、23は複数個の入力端子を持つラッチ、22、24はラッチであり、ラッチ21と22及びラッチ23と24でそれぞれ1ビットのスキャンレジスタ1a、1bを構成している。31～34はそれぞれのラッチに対応するラッチクロック端子である。この第5図の構成においてクロック端子31と33及び32と34をそれぞれ接続し、これらに2相クロックを与えることにより2ビットのシフトレジスタを構成することができる。この2相クロックは端子31と33を第1相、端子32と34を第2相とするので、シフト動作後はスキャンレジスタ内のラッチは同一内容を保持している。ここで端子32と34を共通に接続して第2相クロック

を与え、端子31だけに第1相クロックを与える場合を考える。この場合スキャンレジスタ1b内のラッチされる値はラッチ23の内容であるが、これはラッチ24にラッチされていた値と同一のためスキャンレジスタ1bの出力値は変化しない。次に端子31と33を共通に接続して第1相クロックを与え、端子32だけに第2相クロックを与える場合を考える。この場合、スキャンレジスタ1b内のラッチ23の内容は置換えられてしまうが、ラッチ24の内容が変化しないためスキャンレジスタ1bの出力は保持されたままである。

以上の説明ではスキャンレジスタ1aをシフト動作、1bを維持としたが、反対にレジスタ1aを保持、1bをシフト動作しても同様に動作できる。このように2相クロックで動作するスキャンバスを用いる場合、一方のクロックは共通に接続し、他方のクロックのみ独立にあたえられるようにすれば独立したシフト動作ができるスキャンバスを構成できる。

このため、上記方式を用いれば個々のスキャン

特開昭63-198884(4)

バスの数の2倍のクロック端子は必要でなく、クロック端子数を減らすことができる効果がある。

また、第1図、第2図、及び第4図の例では2個のスキャンバスが直列に接続されているものを示したが、これは2個以上接続されていても上記同様の効果が得られる。

(発明の効果)

以上のように、この発明によれば、直列に接続された複数個のスキャンバスに対し、独立にクロックを与えることができ、テスト時に必要なスキャンバスのみの動作を行なわせることができるようにしたので、不要なシフト動作なしにテスト用データのスキャンバスへの設定及びテスト結果データのスキャンバスからの取り出しが可能となり、テスト時間を短縮し安価な半導体装置を得ることができる効果がある。

4. 図面の簡単な説明

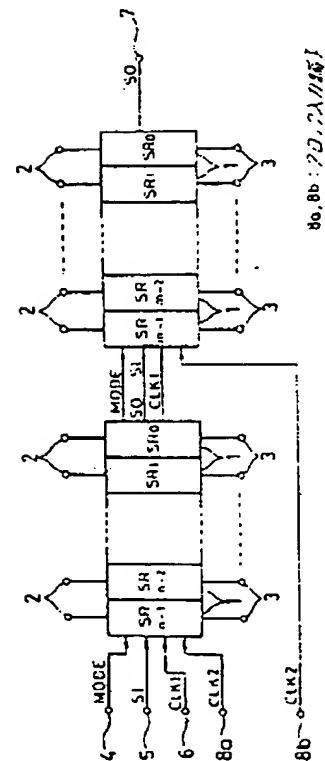
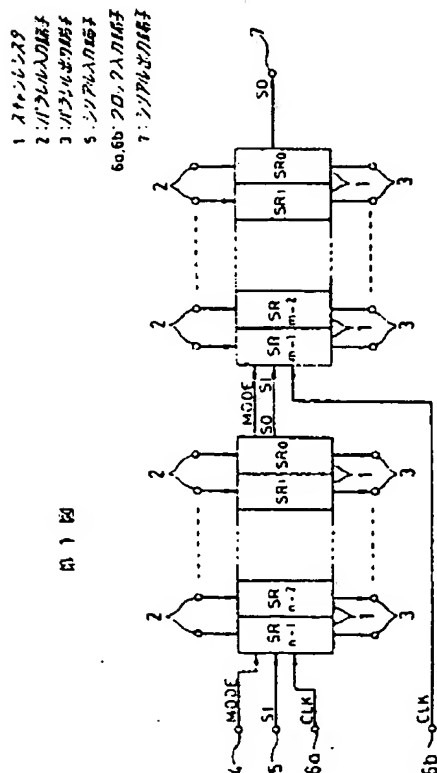
第1図はこの発明の一実施例によるテスト補助回路の構成図、第2図はこの発明の他の実施例によるテスト補助回路の構成図、第3図は従来のテ

スト補助回路、第4図は第1図の回路を被テスト回路網に適用した場合の一例を示す図、第5図は第2図の実施例の作用を説明するためのシフトレジスタの構成例を示す図である。

1…スキャンレジスタ、2…パラレル入力端子、3…パラレル出力端子、4…モード切換端子、5…シリアル入力端子、6…シリアル出力端子、7…シリアル出力端子。

なお図中同一符号は同一又は相当部分を示す。

代理人 早 瀬 憲 一



特開明63-198884(5)

